

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R) File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

02620670

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 63-237570 [JP 63237570 A]
PUBLISHED: October 04, 1988 (19881004)
INVENTOR(s): TAKENAKA SATOSHI
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 62-072367 [JP 8772367]
FILED: March 26, 1987 (19870326)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 710, Vol. 13, No. 44, Pg. 30, January 31, 1989 (19890131)

ABSTRACT

PURPOSE: To simplify the steps by depositing a boron-doped P-type polycrystalline silicon thin film to manufacture a thin film transistor.
CONSTITUTION: A boron-doped P-type polycrystalline silicon thin film is deposited on an insulating transparent substrate 1-1, an island 1-2 is formed by photoetching, and a gate oxide film 1-3 is then formed. After a gate electrode 1-4 is formed, it is conducted in hydrogen plasma processing step, hydrogen ion implanting step or plasma nitride film forming step. Thus, an excellent CMOS polycrystalline silicon thin film transistor having a sharp rise, a small threshold voltage V_{th} , small OFF leakage current and substantially coincident absolute values of N-channel and P-channel V_{th} without increasing the number of steps can be performed in a process without increasing the number of steps.

⑫ 公開特許公報 (A) 昭63-237570

⑬ Int. Cl.

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

Y-8422-5F
7514-5F

⑭ 公開 昭和63年(1988)10月4日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭62-72367

⑰ 出 願 昭62(1987)3月26日

⑱ 発 明 者 竹 中 敏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑲ 出 願 人 セイコーエプソン株式
会社

東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性透明基板上に、多結晶シリコン薄膜を熱酸化させて作製されたNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、前記多結晶シリコン薄膜は、ボロンドープされたP型多結晶シリコン堆積膜であり、さらにゲート電極形成後に、水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程を有することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、透明性絶縁基板上に形成されるアク

ティブマトリクスあるいはイメージセンサーの回路のスイッチング素子あるいは駆動回路に用いられるCMOS (Complementary Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッショルド電圧(以下 V_{th} と記す)の絶対値が一致するCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

多結晶シリコンにおいては、結晶粒界に存在するダングリングボンドなどの欠陥が、キャリアに対するトラップ単位あるいは障壁として働くことが一般的に考えられており(John Y. W. Seto, J. Appl. Phys., 46, 5247 (1975) 参照)従って多結晶シリコン薄膜トランジスタの性能を向上させるためには、前記欠陥を低減させる必要がある。(J. Appl. Phys., 53 (2), 1193 (1982) 参

願、その日、水素による前記欠陥の終端化が行なわれて、その中でも代表的な方法が、水素プラズマ処理（応用物理学会、1986年秋季大会予稿集、講演番号2.7 p-Q-5、水素プラズマに因しては、電子材料 1981年1月号 124ページ参照）あるいは水素イオン打込みあるいはプラズマ窒化膜の形成（電子通信学会技術研究報告SSD83-75、23ページ参照）である。これらの方法を用いると V_{th} の絶対値が小さくなりサブスレッショールド領域の立ち上がりが急しゅんになる。しかしながら V_{th} のシフトという問題が生じる。つまりNチャネルトランジスタがデプレッション方向にシフトしてOFFリーク電流が上昇し、Pチャネルトランジスタがエンハンスメント方向にシフトするという問題点を有するのである。（電子通信学会技術研究報告SSD83-75、23ページ あるいは、Materials-Research-Society Symposium Proceedings Vol. 53 419ページ参照）この原因

として、プラズマにさらされる事により、ゲート酸化膜に正の固定電荷が形成されチャネル部が常に負に誘起されているのだと考えられている。従って、多結晶シリコン薄膜をあらかじめP型にしておれば、水素プラズマ処理あるいは水素イオン打込みあるいはプラズマ窒化膜形成工程による前述のようなトランジスタ特性のシフトの問題を解決できる。その解決の為にゲート電極形成前にイオン打込み法によりボロンをチャネルドープングするという方法がある。

（発明が解決しようとする問題点）

しかし、前述のような従来技術では、スループットの非常に悪いイオン打込み装置を用いる為に工程が増加する為にコストの上昇となる。

本発明は、このような水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程に共なうトランジスタ特性の異常シフトの問題を解決し、 V_{th} の絶対値が小さくてサブスレッショールド領域の立ち上がりが急しゅんで、さらにPチャネル及びNチャネル共にその

V_{th} の絶対値がほぼ等しいCMOS型多結晶シリコン薄膜トランジスタを、工程数を増加させないプロセスで実現することを目的としている。（問題点を解決するための手段）

本発明のCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上に多結晶シリコン薄膜を熱酸化させて作製されたNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、前記多結晶シリコン薄膜は、ボロンドープされたP型多結晶シリコン堆積膜であり、さらにゲート電極形成後に、水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程を有することを特徴とする。

（実施例）

第1図により、本発明の実施例を工程図に従って説明する。図（a）において、絶縁性透明基板1-1上にボロンドープされたP型多結晶シリコン薄膜を堆積させ、フォトリソングにより、

島1-2を形成する。前記ボロンドープされた多結晶シリコン薄膜は、減圧CVD装置を用い、 SiH_4 、ガスと BH_3 、ガスとの混合ガスを熱分解することにより、堆積せられる。ただし抵抗率が大きく低下しない程度に低濃度のドーパ量にしなければならない。続いて図（b）で示すように熱酸化によりゲート酸化膜1-3を形成する。図（c）、（d）はCMOS構造を製造する一般的な工程である。1-4はゲート電極であり、該ゲート電極をマスクとして、ボロン及びリンを選択的にイオン打込みしソース及びドレイン部を形成する。（d）に示すようにPチャネル多結晶シリコン薄膜トランジスタ及びNチャネル多結晶シリコン薄膜トランジスタを形成する。1-5はボロン打込み領域、1-6はリン打込み領域を示す。水素イオン打込み法の場合はこの状態で済む。次に層間絶縁膜を形成する。該層間絶縁膜としてプラズマ窒化膜（ Si_3N_4 ）を用いると多結晶シリコン薄膜の水素化が層間絶縁膜形成と同時に達成される。図（e）に示すように層間

処理工程としてCVD-SiO₂を用いた場合は、低い水素プラズマ処理を行なう。1-8は水素プラズマにより発生した反応性の高い水素ラジカルを示している。水素プラズマは、平行平板型の一般的なプラズマ装置と異なり、ガスを用いることにより簡単に得ることができる。一方、水素プラズマ処理工程は、コンタクト電極を形成した後に行なっても、何ら問題はない。

(発明の効果)

以上述べたように本発明によれば、ボロンドープされたP型多結晶シリコン層を堆積させて薄膜トランジスタを作製するので、従来のようにチャネルドープのためのイオン打込み工程を略すことができる。従って、工程の簡略化及び低コスト化に非常に大きな効果が期待される。

さらにチャネル部の多結晶シリコンはP型になっているので、水素プラズマ処理によるトランジスタ特性の異常シフト(Nチャネル多結晶シリコン薄膜トランジスタがデプレッション方向にシフトし、Pチャネル多結晶シリコン薄膜トランジスタがインバージョン方向にシフトする。)を防止することができる。従って、水素プラズマ処理による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッショルド領域の立ち上がりが増し、 V_{th} の絶対値が低減され、しかもNチャネル、Pチャネル共にその V_{th} の絶対値の大きさが一致するという優れた特性を持つCMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。

例えばアクティブマトリクス基板に本発明を用いるとOFF電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造であるため、シフトレジスタ回路(S/R)と光電変換素子を同一基板上に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高感度化や大型化、あるいはガラス化などに対して大きな効果が期待される。低消費電力化にもなるのでローコスト化にも役に立つ。また低電圧化も可能となるので、素子の信頼性向上にもつながる。

の信頼性向上にもつながる。

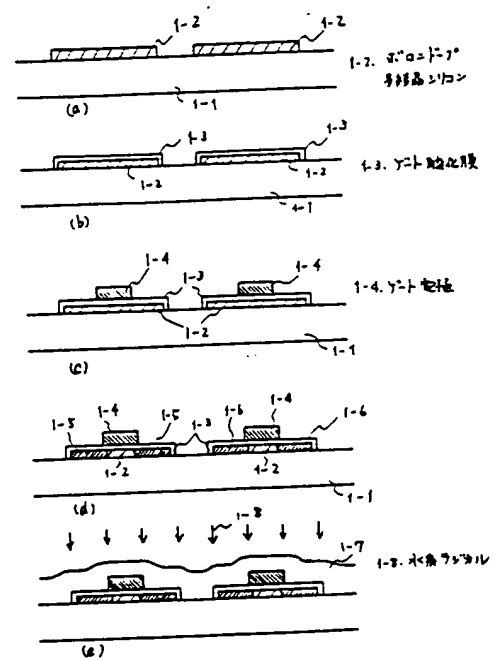
以上述べたように、本発明によれば、工程数が増すことなく、立ち上がりが急し、 V_{th} が小さくてODDリーク電流が小さくてさらにNチャネルとPチャネルの V_{th} の絶対値がほぼ一致した優れたCMOS型多結晶シリコン薄膜トランジスタを実現することを可能にするので、イメージセンサーなどのデバイスの高速動作や低消費電力化及び高信頼化などの要求項目に対し非常に大きな効果をもたらすものである。

1. 図面の簡単な説明

第1図(a)から(e)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図である。

- 1-2 : ボロンドープ多結晶シリコン
- 1-3 : ゲート酸化膜
- 1-4 : ゲート電極
- 1-8 : 水素ラジカル

以上



第1図

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

01912495
ACTIVE MATRIX CIRCUIT SUBSTRATE

PUB. NO.: **61-126595** [JP 61126595 A]

PUBLISHED: June 14, 1986 (19860614)

INVENTOR(s): ENARI MASAHIKO
YAMASHITA NOBUITSU
KOMATA TOMOJI
KUNO MITSUTOSHI
INOUE YUJI
OSADA YOSHIYUKI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 59-248171 [JP 84248171]

FILED: November 26, 1984 (19841126)

DIALOG(R)File 352:DERWENT WPI

(c)1998 Derwent Info Ltd. All rts. reserv.

007848936WPI Acc No: 89-114048/198915

XRPX Acc No: N89-087080

Display panel with reduced number of connections - applies negative voltage to gates of transistors in synchronisation with positive voltage supplied to selected source line

Patent Assignee: CANON KK (CANO)

Inventor: ENARI M; INOUE H; KUNO M; OMATA S; OSADA T; YAMASHITA S

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
US 4816819	A	19890328	US 85799498	A	19851119		198915 B

Priority Applications (No Type Date): JP 84248171 A 19841126

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
US 4816819	A		6			

Abstract (Basic): US 4816819 A

The driver comprises N scanning lines (G(1), G(2)...G(N)) each connected to each one of M signal lines. N first transistors each connected to a different one of the N scanning lines, where the first transistors are divided into N/n blocks where n is less than N, N second transistors are each connected to a different one of the scanning lines. A number of first gate lines are each connected to gates of n first transistors in each of the blocks wherein each of the first gate lines is cyclically selected. A number of first source lines are each connected to a source of one of the n transistors in each of the blocks, wherein each of the first source lines is cyclically selected.

A second gate line is connected to gates of the N second transistors. A second source line is connected to gates of the N second transistors. A second source line is connected to sources of the N second transistors. A positive voltage is applied to the first source line selected from among the first source lines and for applying a negative voltage to the other first source lines. A positive voltage is applied to the gates of the first transistors connected to the first gate line selected from among the first gate lines.

ADVANTAGE - External scanning line drive circuit is small.

Title Terms: DISPLAY; PANEL; REDUCE; NUMBER; CONNECT; APPLY; NEGATIVE; VOLTAGE; GATE; TRANSISTOR; SYNCHRONISATION; POSITIVE; VOLTAGE; SUPPLY; SELECT; SOURCE; LINE

Derwent Class: P85; T04; U14

International Patent Class (Additional): G09G-003/36

File Segment: EPI; EngPI

⑪ 公開特許公報 (A) 昭61-126595

⑫ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和61年(1986)6月14日
 G 09 G 3/36 7436-5C
 G 02 F 1/133 1 1 8 D-8205-2H
 1 2 8 8205-2H
 G 09 F 9/35 6615-5C 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 アクティブマトリクス回路基板

⑮ 特 願 昭59-248171

⑯ 出 願 昭59(1984)11月26日

⑰ 発 明 者 江 成 正 彦 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑰ 発 明 者 山 下 伸 逸 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑰ 発 明 者 小 俣 智 司 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑰ 発 明 者 久 野 光 俊 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑰ 発 明 者 井 上 裕 司 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑰ 発 明 者 長 田 芳 幸 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
 ⑱ 出 願 人 キャノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑲ 代 理 人 弁理士 豊田 善雄

明 細 書

1. 発明の名称

アクティブマトリクス回路基板

2. 特許請求の範囲

(1) アクティブマトリクス回路基板から、走査線駆動回路への走査線を、スイッチング素子を用いて複数本毎に共通化したことを特徴とするアクティブマトリクス回路基板。

(2) 上記スイッチング素子を、アクティブマトリクス回路と同一基板上に一体形成することを特徴とする特許請求の範囲1項記載のアクティブマトリクス回路基板。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、アクティブマトリクス回路基板の走査線の構成に関するものである。

[従来の技術]

アクティブマトリクス回路基板の代表的なものとしてTFT (Thin-Film-Transistor) をスイッチング素子として用いた液晶表示装置がある。

この液晶表示装置は、CRTに変わる表示装置として注目されているが、近年の高解像度化、高品位化に対応するため、その走査線の本数は数百本にものぼり、また高密度化している。

第2図は、従来のアクティブマトリクス型液晶表示装置の回路構成をしたものである。図中1は表示部、A₁N₁は画素駆動用のTFTスイッチング素子、2は信号線駆動回路、3は走査線駆動回路、4は1と3との接続部、G(1)~G(N)は走査線、S(1)~S(N)は信号線を示すものである。かかる装置において、走査線数×信号線数を、N×Mのマトリクス構成とした場合、(N、Mは正の整数)、接続部4はNヶ所となる。また密度に関しては、例えば走査線数480本、アスペクト比3:4、画面サイズ対角3インチの小型液晶テレビを考えた場合、画面の縦の長さLは、

$$L = 3 \times 25.4 (\text{mm}) \times \frac{3}{4} \approx 46 (\text{mm}).$$

であるから走査線密度dは

$$d = \frac{N}{L} = \frac{480}{46} \approx 10.4 (\text{本/mm})$$

となり、 M 当たり、約 10 本の密度となる。

〔発明が解決しようとする問題点〕

従来、この高密度、且つ多数の走査線を外部の走査線駆動回路と接続するために、実装の煩雑性、歩留りの低下及びコスト高が問題となっていた。また、走査線駆動回路の出力線数も N 本必要であるため、走査線駆動回路そのものが大規模となり、大きさ、コストの面で問題があった。

本発明は、この様な従来の問題点に鑑みなされたもので、アクティブマトリクス回路基板の走査線と外部駆動回路との接続数を減らし、実装の簡素化、歩留りの向上、実装コストの低下、さらに、外部走査線駆動回路の小規模化、コンパクト化、低コスト化を計ることを目的とするものである。

〔問題点を解決するための手段〕及び〔作用〕

本発明は、回路基板から走査線駆動回路への走査線を、スイッチング素子を用いて複数本まとめて共通化したもので、より具体的には、走査線を複数本共通化し、この共通化した接続部の表示

駆動信号のタイミングを示す波形図であり、第 4 図は本実施例における各駆動信号のタイミングを示す波形図である。

実際にディスプレイ装置として駆動する場合には、第 1 図に示した共通走査線駆動回路 5 から、共通線 A、B、C、D に繰り返しパルスを与えると共に、分割ブロック選択線 E(1) ~ E(a) を順次 ON/OFF させる。また、 $P_1 \sim P_n$ には非選択時に G(1) ~ G(N) を $-V(V)$ の電位に制御するために放電制御線 I にパルスを与えるようにすればよい。(第 4 図参照)

この様に、共通走査線駆動回路 5 を、第 4 図に示すごとく駆動することによって、走査線 G(1) ~ G(N) に第 2 図に示す様な電気信号を与えることができる。

上記実施例においては、走査線を N 本、共通線を 4 本として説明したが、例えば走査線を 480 本、共通線を 24 本とすると、分割ブロック選択線は 20 本となり、外部駆動回路との接続数は、放電制御線、放電電位線の 2 本を含めて合計 46

各々スイッチング素子を設け、各スイッチング素子を複数個まとめて制御することによって前記走査線を駆動するものである。このため、従来に比べ外部駆動回路との接続線の数は大幅に減少する。

〔実施例〕

第 1 図は本発明の実施例を示す回路構成図で、第 2 図に示した $N \times M$ アクティブマトリクス型液晶表示装置の走査線を 4 本の共通線 A、B、C、D に共通化した場合の例である。

図中 $SW_{11} \sim SW_{na}$ は分割化スイッチング素子で、 $E(1) \sim E(a)$ は前記分割化スイッチング素子を制御するための分割ブロック選択線である。なお、本実施例における共通線は 4 本であるから、この場合 a は $N/4$ に等しい。 $P_1 \sim P_n$ は放電用スイッチング素子で、I は放電制御線、J は放電電位線、5 は共通化された走査線を駆動するための共通走査線駆動回路で、6 は回路基板と 5 との接続部を示すものである。また、第 3 図は表示部 1 の走査線 G(1) ~ G(N) に与えるべき

ケ所となり、約 90% の接続数削減の効果があら

また、分割化スイッチング素子と放電用スイッチング素子は画素駆動用スイッチング素子と同一機能であるので、同一基板上に一体化形成することが可能である。

〔発明の効果〕

本発明においては、アクティブマトリクス回路基板の走査線を、スイッチング素子を用いて共通化すると共に、前記スイッチング素子をアクティブマトリクス回路と同一基板上に一体形成したことにより、回路基板の走査線と、外部回路との接続数を減らすことができるため、実装の簡素化、歩留りの向上、低コスト化を図ることができる。また走査線駆動回路の小規模化、コンパクト化、低コスト化にも効果がある。

4. 図面の簡単な説明

第 1 図は本発明の実施例を示す回路構成図、第 2 図は従来のアクティブマトリクス型液晶表示装置の回路構成図、第 3 図は走査線駆動信号の波形